

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): MIYAMOTO, et al.  
Serial No.: Not yet assigned  
Filed: February 20, 2004  
Title: SEMICONDUCTOR INTEGRATED-CIRCUIT DEVICE AND  
METHOD TO SPEED-UP CMOS CIRCUIT  
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

February 20, 2004

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application Nos. 2003-090212, filed March 28, 2003; 2003-172486, filed June 17, 2003; and 2004-029033, filed February 5, 2004.

Certified copies of Japanese Application Nos. 2003-090212 and 2003-172486 are attached. A certified copy of Japanese Application No. 2004-029033 will follow in due course.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



\_\_\_\_\_  
Gregory E. Montone  
Registration No. 28,141

GEM/alb  
Attachment  
(703) 312-6600

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 3月28日

出願番号  
Application Number: 特願2003-090212  
[ST. 10/C]: [JP 2003-090212]

出願人  
Applicant(s): 株式会社日立製作所

2004年 2月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



出証番号 出証特2004-3007445

【書類名】 特許願

【整理番号】 H03000831

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/04  
H03K 3/02

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 宮本 直

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 作田 俊之

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置とCMOS回路の高速化方法

【特許請求の範囲】

【請求項1】 クロック信号により信号の取り込みと保持を行なう複数のフリップフロップ回路と、上記複数のフリップフロップ回路のうちの一対のフリップフロップ回路の間に設けられたCMOS構成の複数個の論理ゲート回路からなる信号伝達経路の複数個とを備え、

上記複数の信号伝達経路は、

複数個の論理ゲート回路がエンハンスメント型MOSFETで構成されて、その信号伝達遅延時間が許容される信号伝達遅延時間以下とされる第1信号伝達経路と、

複数個の論理ゲート回路のうちエンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものが、ディプレッション型MOSFETに置き換えられることによってその信号伝達遅延時間が上記許容される信号伝達遅延時間以下とされる第2信号伝達経路からなることを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、

上記置き換えられる論理ゲート回路を構成するディプレッション型MOSFETは、置き換えられる前の上記エンハンスメント型MOSFETと同じ回路パターンで同じサイズのままのものにディプレッション化のための製造工程が追加されるものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項2において、

高しきい値電圧と低しきい値電圧のエンハンスメント型MOSFETと、ディプレッション型MOSFETとを備え、

上記フリップフロップ回路と上記第1信号伝達経路は、上記高しきい値電圧のエンハンスメント型MOSFETで構成され、

上記第2信号伝達経路は、上記高しきい値電圧のエンハンスメント型MOSFETと、上記低閾値電圧のエンハンスメント型MOSFETとか、上記低閾値電圧のエンハンスメント型MOSFETか、上記低閾値電圧のエンハンスメント型

MOSFETと上記ディプレッション型MOSFETとか、上記ディプレッション型MOSFETで構成されることを特徴とする半導体集積回路装置。

【請求項4】 請求項3において、

高耐圧で高しきい値電圧のMOSFETを更に備え、

外部端子との間で信号の授受を行う入出力回路は、上記高耐圧で高しきい値電圧のMOSFETと上記高しきい値電圧のMOSFETで構成されることを特徴とする半導体集積回路装置。

【請求項5】 請求項4において、

メモリ回路を更に備え、

メモリアレイは、上記高しきい値電圧のエンハンスメント型MOSFETで構成され、その周辺回路は、上記低しきい値電圧のエンハンスメント型MOSFETで構成されることを特徴とする半導体集積回路装置。

【請求項6】 請求項4において、

アナログ回路を更に備え、

アナログ回路のうち、電流源を構成するMOSFETは上記高しきい値電圧のエンハンスメント型MOSFETを用い、差動MOSFET及びカスケード接続回路は上記低しきい値電圧のエンハンスメント型MOSFETを用いてなることを特徴とする半導体集積回路装置。

【請求項7】 請求項1ないし6のいずれかにおいて、

上記ディプレッション型MOSFETは、上記信号伝達経路により信号処理を行わないスタンバイ時において、ソースドレイン間電流が減少する方向に基板バックバイアス電圧が印加されてなることを特徴とする半導体集積回路装置。

【請求項8】 クロック信号により信号の取り込みと保持を行なう複数のフリップフロップ回路と、上記複数のフリップフロップ回路のうちの一対のフリップフロップ回路の間に設けられたCMOS構成の複数の論理ゲート回路からなる信号伝達経路の複数のとを備えた信号処理回路をエンハンスメント型MOSFETを用いて設計を行う第1ステップと、

上記複数の信号伝達経路のうち、信号伝達遅延時間が許容される信号伝達遅延時間を超える信号伝達経路を抽出する第2ステップと、

上記抽出された信号伝達経路を構成する複数の論理ゲート回路のうち上記エンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものを、ディプレッション型MOSFETに置き換えて、その信号伝達遅延時間が上記許容される信号伝達遅延時間以下にする第3ステップとを含んでなることを特徴とするCMOS回路の高速化方法。

【請求項9】 請求項8において、

上記第3ステップは上記信号伝達経路のうちの最も大きな遅延時間を持つ上記エンハンスメント型のMOSFETをディプレッション型MOSに置き換えて上記第2ステップに進むことを特徴とするCMOS回路の高速化方法。

【請求項10】 請求項9において、

上記第2ステップにおいて抽出された上記信号伝達経路が無い時には、上記複数の信号伝達経路全ての遅延時間を上記許容される信号伝達遅延時間以下であるかどうかを検出するCMOS回路の高速化方法。

【請求項11】 請求項10において、

上記第3ステップにおいて上記信号伝達経路において全てのMOSFETが上記ディプレッション型MOSFETであってこれを第一時間とすると、上記第1ステップに進んで上記許容される信号伝達遅延時間を上記第一時間として設定することを特徴とするCMOS回路の高速化方法。

【請求項12】 請求項8において、

上記第3ステップにおいて、上記抽出された信号伝達経路を構成する複数の論理ゲート回路のうち上記エンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものを、上記エンハンスメント型MOSよりも閾値の小さな第2エンハンスメント型MOSFETに置き換えて、その信号伝達遅延時間が上記許容される信号伝達遅延時間以下にすることを特徴とするCMOS回路の高速化方法。

【請求項13】 請求項8ないし12のいずれかにおいて、

上記第1ステップでの信号処理回路は、既存の半導体集積回路装置に搭載されたものであることを特徴とするCMOS回路の高速化方法。

【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、半導体集積回路装置とCMOS回路の高速化方法に関し、CMOS回路で構成される半導体集積回路装置の高速動作化技術に利用して有効な技術に関するものである。

## 【0002】

## 【従来の技術】

本願出願人においては、先にMOSFETのリーク電流による消費電力の増加と動作速度との調和を好適に図った半導体集積回路装置を特開平11-195976号公報において提案している。上記公報に従えば、半導体集積回路装置中の複数の信号経路について、信号経路に沿って信号が伝わるディレイに余裕のある経路においては、高しきい値電圧のMOSFETにより構成し、逆に、ディレイに余裕の無い経路においては、サブスレッショルドリーク電流は大きい動作速度が速いような低しきい値電圧のMOSFETにより構成する。上記のようなMOSFETの高しきい値電圧と低しきい値電圧を実現する手段としては、ゲート酸化膜下の半導体基板の不純物濃度を変えること、ゲート酸化膜厚寸法を変えること、ウェル領域に与えられる基板バイアス電圧を変えること、ゲート長を変えること及びこれらの組み合わせにより構成される。また、入出力回路に高耐圧MOSFETと高しきい値電圧を用いたものとして特開平2001-015704号公報がある。

## 【0003】

## 【特許文献1】

特開平11-195976号公報

## 【特許文献2】

特開平2001-015704号公報

## 【0004】

## 【発明が解決しようとする課題】

上記公報においては、CMOS回路の特徴を生かして低消費電力の動作速度との調和を図るという認識に止まるものである。このため、高速化にはおのずと限



界があり、更なる高速化を行うためにはバイポーラトランジスタを用いる必要があるが、バイポーラトランジスタを用いて回路を構成すると消費電力及び集積度の点で大きな問題を有するものである。

#### 【0 0 0 5】

この発明の目的は、高集積化及び高速化を可能とした半導体集積回路装置を提供することにある。この発明の他の目的は、既存のCMOS回路を含んでその高速化が簡単にできるCMOS回路の高速化方法を提供することにある。発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0 0 0 6】

##### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、クロック信号により信号の取り込みと保持を行なう一対のフリップフロップ回路の間に設けられたCMOS構成の複数の論理ゲート回路からなる信号伝達経路として、エンハンスメント型MOSFETで構成されて、その信号伝達遅延時間が許容される信号伝達遅延時間以下とされる第1信号伝達経路と、複数の論理ゲート回路のうちエンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものが、ディプレッション型MOSFETに置き換えられることによってその信号伝達遅延時間が上記許容される信号伝達遅延時間以下とされる第2信号伝達経路とを用いる。

#### 【0 0 0 7】

本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、クロック信号により信号の取り込みと保持を行なう一対のフリップフロップ回路の間に設けられたCMOS構成の複数の論理ゲート回路からなる信号伝達経路の複数個とを備えた信号処理回路をエンハンスメント型MOSFETを用いて設計を行い、上記複数の信号伝達経路のうち、信号伝達遅延時間が許容される信号伝達遅延時間を超える信号伝達経路を抽出し、上記抽出された信号伝達経路を構成する複数の論理ゲート回路のうち上記

エンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものを、ディプレッション型MOSFETに置き換えて、その信号伝達遅延時間が上記許容される信号伝達遅延時間以下にするという設計ステップを繰り返して、全ての信号伝達経路の信号伝達遅延時間が許容される信号伝達遅延時間に納まるようにする。

#### 【0008】

##### 【発明の実施の形態】

図1には、この発明に係るCMOS回路の設計方法の一実施例のフローチャート図が示され、図2にはそれに対応した回路の概念図が示されている。この実施例のCMOS回路は、半導体集積回路装置に構成されて、信号処理を行う内部論理回路に向けられており、特に制限されないが、高しきい値（以下、高 $V_{th}$ という）、低しきい値（以下、低 $V_{th}$ という）及び極低しきい値（以下、極低 $V_{th}$ という）からなる3種類のしきい値電圧を持つMOSFETの組み合わせによって構成される。異なるしきい値のMOSを作るのはイオンインプラのドーズ量を変更するか、基板バイアスを後述する方法で変更する等の方法がある。

#### 【0009】

図1のステップ（1）では、所望のデジタル信号処理を行なう信号処理回路が全て高 $V_{th}$ のMOSFETにより構成されて設計され、各パスのディレイのシミュレーションが実施される。

#### 【0010】

図1のステップ（2）では、各パスのうちのディレイ（Delay）が一番大きなパスを選択する。つまり、図2に示すように、フリップフロップ回路FF1とフリップフロップ回路FF2のような2つのフリップフロップ回路と、その間に設けられた論理ゲート回路を構成するセル1ないしセル5で構成される信号伝達経路（信号伝搬経路又はパスともいう）における信号伝達時間を高速計算機を用いた回路動作シミュレーションによって算出し、最も大きなものを選択する。

#### 【0011】

図1のステップ（3）では、上記選択されたパスを構成するセルの中でディレイが一番大きな高 $V_{th}$ セルを抽出し、極低 $V_{th}$ セルに置き換える。つまり、図2

のように、一番遅いセル 3 を抽出し、それを極低  $V_{th}$  に置き換える。

#### 【0012】

図 1 のステップ (4) では、上記置き換えられたセルのディレイ値を 0.6 倍にし、パスのディレイを計算する。つまり、図 2 に示すように極低  $V_{th}$  に置き換えを示すためにハッチングが付加されたセル 3 のディレイを、上記置き換え前ディレイ遅延時間 (1200 ps) の 0.6 倍にして、そこでのディレイ値として 720 ps を算出する。

#### 【0013】

図 1 のステップ (5) では、上記計算されたディレイ値が目標値により小さいかの判定を行う。つまり、図 2 のように上記極低  $V_{th}$  に置き換えられたセル 3 のディレイ値を 720 ps として合計の遅延時間が 3120 ps を求めて、目標の 3000 ps 以下となるかの判定を行う。

#### 【0014】

図 1 のステップ (6) では、上記のように合計の遅延時間が 3120 ps となって、もしも目標の 3000 ps 以下であるときには、選択したパスのすべてのパスが極低  $V_{th}$  に置き換えられたかを判定し、図 2 のようにセル 3 のみが極低  $V_{th}$  とされたときのように未だ極低  $V_{th}$  セルにならないセル 1 ~ 2, 4, 5 が存在するときには、ステップ (3) に戻る。すべてのセルを極低  $V_{th}$  セルに置き換えたなら、かかるパスでのそれ以上の高速化はできないのでステップ (1) に戻り、全てのセルを極低  $V_{th}$  セルに置き換えたのならば、目標のディレイを達成するために、論理合成の段階から上記のようなパスができないように回路を組みなおすか、又は目標のディレイを全てのセルを極低  $V_{th}$  セルに置き換えたパスのディレイとして置き換えをすればよい。

#### 【0015】

図 1 のステップ (3) では、上記同様に未だ極低  $V_{th}$  セルにならないセル 1 ~ 2, 4, 5 の中からディレイが一番大きな高  $V_{th}$  セルを抽出し、極低  $V_{th}$  セルに置き換える。つまり、図 2 に示した例では一番遅いセル 4 を抽出し、それを極低  $V_{th}$  に置き換える。

#### 【0016】

図1のステップ(4)では、上記置き換えられたセルのディレイ値を0.6倍にし、パスのディレイを計算する。つまり、図2のように上記極低 $V_{th}$ に置き換えられる前のセル3の遅延時間(900 ps)を0.6倍にして、極低 $V_{th}$ に置き換えられたセル3のディレイ値を540 psとして算出する。

#### 【0017】

図1のステップ(5)では、上記計算されたディレイ値が目標値により小さいかの判定を行う。つまり、図2のように更に極低 $V_{th}$ に置き換えられたセル4のディレイ値を540 psのように修正して、かかるパスでの合計の遅延時間が2760 psであることを求めて、それが目標の3000 ps以下となるかの判定を行う。

#### 【0018】

上記ステップ(5)において、上記1つのパスのディレイが目標値よりも小さいと判定されたなら、ステップ(7)において残りの全てのパスについてディレイが目標値より小さいかを判定し、目標値よりも大きなパスがまだ存在するときにはステップ(2)に戻り、同様のステップを繰り返す。

#### 【0019】

ステップ(7)において、すべてのパスのディレイが目標値より小さいと判定されたなら、ステップ(8)において各パスのディレイを再シミュレーションして確認を行う。

#### 【0020】

図2のように、シミュレーションにより、遅延時間が目標値よりも大きなパスを取り出し、その中で図1のステップ(2)以降の処理を行うようにしてもよい。また、ステップ(6)において、選択したパスのすべてのセルを極低 $V_{th}$ セルに置き換えても、目標値以下に到達しないときには、回路が正常に動作しないこととなるので、かかるパスでの遅延時間を新たな目標値に置き換えて、そのCMOS回路での最高速度の回路を設計するようにすればよい。

#### 【0021】

ステップ(1)において、所望のデジタル信号処理を行なう信号処理回路は、新たに設計されたものである必要はなく、既存のCMOS回路であってもよい。

例えば、現在動作しているもの、あるいは旧世代として既に開発されたマイクロプロセッサ等のようにマクロ化されたCMOS回路において、その動作周波数が遅いことだけがネックとなって新たな回路設計の開発が必要なものは、その設計データをそのまま用い、その高速化のために本願発明に係るCMOS回路の高速化方法を適用することにより簡単に回路の高速化を図ることができる。このようなCMOS回路の高速化方法では、マイクロプロセッサ等のようなデジタル信号処理を行うの回路機能そのものは、低速動作での正常な回路動作が確認されているので、格別な回路デバッグを行うことなく高速化が可能となる。

#### 【0022】

例えば、極低 $V_{th}$ のMOSFETは図3に示すように、 $1\text{ nA}/\mu\text{m}$ のドレイン電流 $I_{ds}$ が流れるときのしきい値電圧 $V_{th}$ が $-100\text{ mV}$ のような負の値となるもののいい、いわゆるディプレッション型のことをいう。これに対して、前記低 $V_{th}$ のMOSFETは上記 $1\text{ nA}/\mu\text{m}$ のドレイン電流 $I_{ds}$ が流れるときのしきい値電圧 $V_{th}$ が $0\text{ V}$ のものをいい、前記高 $V_{th}$ のMOSFETは上記 $1\text{ nA}/\mu\text{m}$ のドレイン電流 $I_{ds}$ が流れるときのしきい値電圧が $100\text{ mV}$ となるものをいう。

#### 【0023】

一般に $V_{th}$ 値が低いMOSFETほどリーク電流が大きく、単位ゲート幅あたりのリーク電流は、およそ上記極低 $V_{th}$ のMOSFET： $10^{-8}\text{ A}/\mu\text{m}$ であり、低 $V_{th}$ のMOSFET： $10^{-9}\text{ A}/\mu\text{m}$ であり、高 $V_{th}$ のMOSFET： $10^{-10}\text{ A}/\mu\text{m}$ である。このように極低 $V_{th}$ 、低 $V_{th}$ のMOSFETのリーク電流はそれぞれ、高 $V_{th}$ のMOSFETのリーク電流の約100倍、10倍である。このため、 $V_{th}$ が低いMOSFETを多数使用するとリーク電流が許容値を超えてしまう。また、チップ全体のリーク電流値をある許容される値に抑える場合、 $V_{th}$ が低いMOSFETほど使用可能な個数は少なくなる。一方、 $V_{th}$ が低いほどドレイン電流が大きくなるため高速化への寄与率は高くなる。

#### 【0024】

図1において、ステップ(3)において、高 $V_{th}$ セルを前記のように極低 $V_{th}$ に置き換える前に、遅延時間の大きなセルから順に低 $V_{th}$ に置き換えるようにし

、ステップ（６）において、１つのパスのすべてのセルが高 $V_{th}$ から低 $V_{th}$ に置き換えた後においても目標値に到達しないときに、ステップ（３）において、上記置き換えられた低 $V_{th}$ セルの中から最も遅い順に低 $V_{th}$ セルを極低 $V_{th}$ に置き換えるようにしてもよい。この構成では、リーク電流の大きな極低 $V_{th}$ の使用数を減らすことができるので、低消費電力化が可能となる。つまり、単純に１個の極低 $V_{th}$ セルを用いる場合と１０個の低 $V_{th}$ セルを用いる場合とで同じリーク電流が増加することとなるので、例えば上記低 $V_{th}$ を５個増加させて、極低 $V_{th}$ セルを１個減らせるなら、高速化のために増加するリーク電流を半分に減らすことができる。

#### 【0025】

上記高 $V_{th}$ のセルから極低 $V_{th}$ に置き換えたセルの遅延時間を高 $V_{th}$ セルの遅延時間の０．６倍としたのは、前記のように設定された高 $V_{th}$ と極低 $V_{th}$ との相対的な関係により選ばれた数値であり、極低 $V_{th}$ と高 $V_{th}$ のそれぞれのしきい値電圧を変更することにより、上記の関係は修正されるものである。また、前記の例のようなしきい値電圧において、高 $V_{th}$ のセルを低 $V_{th}$ のセルに置き換えた場合には、例えば遅延時間を高 $V_{th}$ セルの遅延時間の０．８倍程度にすればよい。

#### 【0026】

図４には、デジタル論理回路部におけるパス本数と遅延時間の関係を説明する一例の分布図が示されている。例えば、高 $V_{th}$ のMOSFETにより構成し、目標値である３nsecを超えるようなパスに対して、その一部又は全部に対して極低 $V_{th}$ のゲート回路を加えることにより、それぞれのパスでの遅延時間を上記目標値である３nsec以内となるようにすることができる。

#### 【0027】

下記の表１には、本願発明者において検討されたあるデジタル論理回路について、MOSFETを高 $V_{th}$ のみ、低 $V_{th}$ のみ、極低 $V_{th}$ のみ、及び高 $V_{th}$ と低 $V_{th}$ (30%)、高 $V_{th}$ と極低 $V_{th}$ (2%)とした場合のそれぞれの動作周波数及びスタンバイ電流の関係が示されている。以下の表１のように高 $V_{th}$ のMOSFETを低 $V_{th}$ のMOSFETに置き換えても動作周波数は２００MHzから２５０MHzのようにそれほど高くできない。また、高 $V_{th}$ のMOSFETを全て極低 $V_{th}$ の

MOSFETに置き換えると、動作周波数は200MHzから350MHzのように大幅に高くなるが、リーク電流が130mAのように大きくなりすぎて実際的ではない。

### 【0028】

表1

	周波数(MHz)	リーク電流 (mA)
高V <sub>th</sub> のみ	200	0.59
低V <sub>th</sub> のみ	250	6.88
極低V <sub>th</sub> のみ	350	130.00
高V <sub>th</sub> +低V <sub>th</sub> (30%)	250	2.48
高V <sub>th</sub> +極低V <sub>th</sub> (2%)	340	3.28

### 【0029】

そこで、高V<sub>th</sub>のMOSFETと低V<sub>th</sub>のMOSFETとを組み合わせた場合には、スタンバイ電流でみるなら低V<sub>th</sub>のみを用いた場合に比べてある程度改善できるものの、肝心の動作周波数は低V<sub>th</sub>のみの場合と同じ程度しか改善できない。これに対して、高V<sub>th</sub>のMOSFETと極低V<sub>th</sub>のMOSFETとの組み合わせは、動作周波数が極低V<sub>th</sub>のみにほぼ匹敵するように大幅に改善することができるとともに、スタンバイ電流の増加は上記高V<sub>th</sub>と低V<sub>th</sub>とを組み合わせに比べて若干大きくなる程度に抑えることができる。なお、リーク電流の増加は、後述する基板バイアスの切り替えで低減させることができるものである。

### 【0030】

図5には、この発明が適用される半導体集積回路装置の一実施例の概略ブロック図が示されている。同図の各ブロックは、半導体集積回路装置LSIを構成する半導体チップ上におけるおおよその幾何学的な配置に合わせて各回路ブロックが示されている。この実施例は、内部回路としてメモリ部、データパス部、アナ

ログ回路部及びデジタル論理回路部が形成され、チップの周辺には I/O（入出力）回路部が配置される。

#### 【0031】

この実施例では、特に制限されないが、しきい値電圧  $V_{th}$  が異なる 5 種類の MOSFET により構成される。上記 5 種類の  $V_{th}$  としては、デジタル論理回路に用いられる極低  $V_{th}$  と、高  $V_{th}$  及び低  $V_{th}$  の他に、厚膜低  $V_{th}$  と厚膜高  $V_{th}$  の 2 種類が加えられる。厚膜低  $V_{th}$  と厚膜高  $V_{th}$  は、そのゲート絶縁膜の膜厚が厚く形成されることによりゲートに高電圧を加えることができる高耐圧 MOSFET として使用される。

#### 【0032】

図 6 には、デジタル論理回路の一実施例の回路図が示されている。この実施例のデジタル論理回路は、入力信号  $a, b, c, d, e, f$  に対して 1 つの出力信号  $x$  が形成される。論理段としては各入力信号  $a, b, c, d, e, f$  がインバータ回路、ゲート回路からなる 4 段の論理回路を通して出力信号  $x$  が形成される。上記各入力信号  $a, b, c, d, e, f$  は、前記図 1 のようにそれぞれがフリップフロップ回路によりクロック信号に同期して出力され、上記出力信号  $x$  はクロック信号に同期してフリップフロップ回路に取り込まれる。

#### 【0033】

この実施例のデジタル論理回路は、出力信号  $x$  に着目した論理回路が示されており、各ゲート回路のファンアウト数は 1 つであるが、実際には、上記入力信号  $a, b, c, d, e, f$  を含めて各論理段の出力信号は図示しない他の論理ゲート回路に向けて出力されることがある。ファンアウト数の多いインバータ回路や論理ゲート回路では、負荷容量が大きくなりそこでの信号伝播遅延時間が長くなってしまふ。このような信号伝播遅延時間の大きなゲート回路が、前記のように高  $V_{th}$  から極低  $V_{th}$  に置き換えられて、出力信号  $x$  が得られるまでの信号伝播遅延時間が目標値内となるようにされる。

#### 【0034】

このようにデジタル論理回路は、前記高  $V_{th}$  と極低  $V_{th}$  の組み合わせにより構成される。つまり、基本的には高  $V_{th}$  としての前記のようにエンハンスメント型



MOSFETと極低 $V_{th}$ としてのデプレッション型MOSFETとの組み合わせにより構成されるが、上記エンハンスメント型MOSFETとしては高 $V_{th}$ のMOSFETと低 $V_{th}$ のMOSFETの組み合わせによりパスでの遅延が目標値に達するものがあれば低 $V_{th}$ も加えられるようにしてもよい。

#### 【0035】

デジタル論理回路部分では、上記のように極低 $V_{th}$ のMOSFET（デプレッション型）と高 $V_{th}$ のMOSFETとを使用する。MOSFETの使い分けは論理セル単位で行われる。MOSFETのリーク電流は $V_{th}$ 値に対して指数関数的に増加するため、デプレッション型になるまで $V_{th}$ 値を下げたMOSFETはリーク電流が大きい。そのため、デプレッション型のMOSFETを使用すると、スタンバイ電流の増加や熱暴走の恐れがあったため、従来のCMOS回路ではデプレッション型の極低 $V_{th}$ のMOSFETは使用されなかった。しかし、極低 $V_{th}$ のMOSFETを用いたセルは、高 $V_{th}$ 、低 $V_{th}$ の場合よりも大幅な高速化が可能のため、クリティカルパスを十分高速にすることが可能である。そこで、デプレッション型の極低 $V_{th}$ のMOSFETをクリティカルパスにのみへの適用に制限してリーク電流を抑えて高速化を行なう。以上より、デジタル論理回路部分では、極低 $V_{th}$ と高 $V_{th}$ を使用して高速化リーク電流の抑制を行なう。

#### 【0036】

図7には、上記デジタル論理回路部を構成するデータパスの一実施例の回路図が示されている。データパスでは、ビット0～64（bit0～bit64）における相互の演算速度を同一にする必要があるために $V_{th}$ 値を統一する必要がある。このため、極低 $V_{th}$ を使用すると極低 $V_{th}$ のMOSFETの使用割合が増え、リーク電流が多くなってしまう。そこで、データパスには対応する論理ゲート回路又はインバータ回路は同じく高 $V_{th}$ 又は低 $V_{th}$ を使用し、各ビット0～64の出力タイミングをほぼ同じくするようにして高速化とリーク電流低減を行なう。

#### 【0037】

アナログ回路は、低 $V_{th}$ と高 $V_{th}$ から構成される。例えば、図8に示すような差動回路では、差動MOSFET Q1とQ2が低 $V_{th}$ により構成され、動作電流を形成する電流源MOSFET Q3が高 $V_{th}$ により構成される。アナログ回路の

電流源MOSFETで極低 $V_{th}$ や低 $V_{th}$ のMOSFETを使用するとチャネル長変調のため電流値が一定にならない。この場合、カスケード接続を用いるのが公知であるが、電流源で極低 $V_{th}$ 、低 $V_{th}$ のMOSFETを使用すると消費電力が多くなってしまう。このため、電流源のMOSFETには高 $V_{th}$ のMOSFETを使用する。

#### 【0038】

アナログ回路が低電圧で動作させられる場合には、 $V_{th}$ が高いとカスケード接続になった回路が動作不能になる可能性がある、そこで、図9に示したようなカスケード接続のMOSFET回路には $V_{th}$ が低いMOSFETを使用する必要があるが、 $V_{th}$ が低すぎるとゲインが低くなってしまいう問題もある。そこでカスケード接続部には低 $V_{th}$ を使用する。このようにして、アナログ回路では、高 $V_{th}$ 、低 $V_{th}$ を使用してリーク電流を低減しながら、ある程度的高速化を達成する。また、アナログ回路に含まれるデジタル・アナログ・コンバータの高電圧部では、高 $V_{th}$ 、厚膜低 $V_{th}$ を使用してリーク電流を抑えつつ高速化を行なう。

#### 【0039】

メモリ部は、図10のブロック図に示すようにメモリアレイと、Xデコーダ、Xドライバ、Yデコーダ、Yドライバやセンスアンプ及びリード／ライト回路等のメモリ周辺回路に分けられ、メモリアレイは高 $V_{th}$ により構成され、メモリ周辺回路は低 $V_{th}$ により構成される。メモリアレイに、低い $V_{th}$ のMOSFET（極低 $V_{th}$ 、低 $V_{th}$ ）を使用すると歩留まりが低下する。

#### 【0040】

このため、メモリアレイ部分は高 $V_{th}$ のMOSFETを使用して非動作時の消費電力を低くすると共に動作マージン、高歩留まりを確保する。メモリ周辺回路については、アドレスのデコード回路などは、ビット毎の速度ばらつきの発生を抑えるために、 $V_{th}$ 値を統一する必要がある。このため、極低 $V_{th}$ のMOSFETを使用すると、極低 $V_{th}$ 化率が高くなり過ぎ、リーク電流が大きくなり過ぎる。よって、メモリ周辺回路部分に低 $V_{th}$ のMOSFETを使用することによってリーク電流を低減しながらある程度的高速化を達成する。

#### 【0041】

図 11 には、入出力回路に向けた論理部とレベルシフタ及び出力ドライバと入力ドライバの一実施例の回路図が示されている。低い  $V_{th}$  の MOSFET (極低  $V_{th}$ 、低  $V_{th}$ ) を使用すると入出力リーク電流が増加し、スペック割れを起こす可能性がある。また、PCI、SDRAM などの I/O は要求速度が 60 ~ 150 MHz と低いため、上記論理部の MOSFET Q20 ~ Q25 等を高  $V_{th}$  を使用してもスペック割れを起こす可能性が低いため、高  $V_{th}$  を使用してリーク電流を低くする。上記デジタル論理回路の動作電圧に対応した例えば 1.8 V 程度の低振幅の信号を出力回路の動作電圧に対応した例えば 3.0 V のような高振幅の信号に変換するレベルシフタを構成する MOSFET Q26 ~ Q31 等や出力ドライバを構成する MOSFET Q32、Q33 及び入力ドライバの MOSFET Q34 ~ Q37 のような高電圧部も同様に要求速度が低く、高電圧に耐えるために厚膜高  $V_{th}$  を使用する。

#### 【0042】

図 12 は、データバスやデジタル論理回路に含まれるバスキーパーの一実施例の回路図が示されている。バスキーパーは、ラッチ回路からなり、バスがいずれの回路にも接続されないときに不定レベルになるのを防止する。このため、駆動能力は小さくてよいので高  $V_{th}$  の MOSFET により構成される。

#### 【0043】

図 13 には、バックバイアススイッチの一実施例の回路図が示されている。この実施例では、Q40、Q41 において前記のように極低  $V_{th}$  や低  $V_{th}$  の MOSFET が用いられる。これらの回路では、回路が何も動作しないスタンバイ状態、つまり入力信号 IN がロウレベル又はハイレベルに固定された状態でも CMOS 回路を構成する MOSFET Q40 と Q41 を通して電源電圧と回路の接地電位との間で直流電流が流れてしまう。

#### 【0044】

そこで、論理回路部の MOSFET Q40 と Q41 が形成されるウェルに対してスイッチ MOSFET Q42、Q43 及び Q44 と Q45 からなるバックバイアススイッチが設けられる。つまり、動作状態では MOSFET Q42 と Q43 をオン状態として P チャネル MOSFET Q40 が形成されるウェルには電圧 V

D1を供給し、NチャネルMOSFET Q41が形成されるウェルには回路の接地電位GNDを供給する。上記電圧VD1は、インバータ回路のPチャネルMOSFET Q40のソースに与えられる動作電圧と同じである。

#### 【0045】

上記論理回路が何も動作を行わないスタンバイ状態では、MOSFET Q42とQ43をオフ状態とし、MOSFET Q44とQ45をオン状態としてPチャネルMOSFET Q40が形成されるウェルには電圧VD2を供給し、NチャネルMOSFET Q41が形成されるウェルには回路の負電圧VBを供給する。上記VD2 > VD1の関係にあるため、PチャネルMOSFET Q40のソースとウェル間が逆バイアスの関係となり、同様にNチャネルMOSFET Q41のソースとウェル間が逆バイアスの関係となるために、これらのMOSFET Q40とQ41の実効的なしきい値電圧が基板効果によって大きくなり、上記直流電流を大幅に低減させることができる。

#### 【0046】

図14には、デジタル論理回路に含まれるトライステートバッファの一実施例の回路図が示されている。このトライステートバッファは、例えば前記図12に示したようなバスに出力信号を供給する回路として使用される。このようなトライステートバッファでは、動作マージン確保が必要である。極低V<sub>th</sub>、低V<sub>th</sub>を使用すると、リーク電流が大きいために誤動作する可能性があるため、高V<sub>th</sub>を使用して動作マージンを確保する。

#### 【0047】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、デジタル集積化回路は、ランダム・ロジック回路の他ゲートアレイ等で構成されたものであってもよい。基板バイアス電圧は、チャージポンプ回路により半導体集積回路装置内部で形成するもの他、外部端子から供給される電圧であってもよい。この発明は、CMOS回路で構成された半導体集積回路装置とその高速化方法に広く利用することができる。

#### 【0048】

**【発明の効果】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、クロック信号により信号の取り込みと保持を行なう一対のフリップフロップ回路の間に設けられたCMOS構成の複数個の論理ゲート回路からなる信号伝達経路として、エンハンスメント型MOSFETで構成されて、その信号伝達遅延時間が許容される信号伝達遅延時間以下とされる第1信号伝達経路と、複数個の論理ゲート回路のうちエンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものが、ディプレッション型MOSFETに置き換えられることによってその信号伝達遅延時間が上記許容される信号伝達遅延時間以下とされる第2信号伝達経路とを用いることにより、高集積化及び高速化を可能となる。

**【0049】**

また、クロック信号により信号の取り込みと保持を行なう一対のフリップフロップ回路の間に設けられたCMOS構成の複数個の論理ゲート回路からなる信号伝達経路の複数個とを備えた信号処理回路をエンハンスメント型MOSFETを用いて設計を行い、上記複数個の信号伝達経路のうち、信号伝達遅延時間が許容される信号伝達遅延時間を超える信号伝達経路を抽出し、上記抽出された信号伝達経路を構成する複数個の論理ゲート回路のうち上記エンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものを、ディプレッション型MOSFETに置き換えて、その信号伝達遅延時間が上記許容される信号伝達遅延時間以下にするという設計ステップを繰り返すことにより、CMOS回路の高速化が可能となる。

**【図面の簡単な説明】****【図1】**

この発明に係るCMOS回路の設計方法の一実施例を示すフローチャート図である。

**【図2】**

図1の設計方法に対応したデジタル論理回路の概念図である。

**【図3】**

この発明に用いられる極低 $V_{th}$ のMOSFETの一例を示す電流－電圧特性図である。

【図 4】

この発明が適用されたデジタル論理回路部におけるパス本数と遅延時間の関係を説明する一例の分布図である。

【図 5】

この発明が適用された半導体集積回路装置の一実施例を示す概略ブロック図である。

【図 6】

図 5 のデジタル論理回路の一実施例を示す回路図である。

【図 7】

図 5 のデータパスの一実施例を示す回路図である。

【図 8】

図 5 のアナログ回路に用いられる差動回路の一実施例を示す回路図である。

【図 9】

図 5 のアナログ回路に用いられるカスケード接続のMOSFET回路の一実施例を示す回路図である。

【図 1 0】

図 5 のメモリ部の一実施例を示すブロック図である。

【図 1 1】

図 5 の入出力回路に向けた論理部とレベルシフタ及び出力ドライバと入力ドライバの一実施例を示す回路図である。

【図 1 2】

図 5 のデータパスやデジタル論理回路に含まれるバスキーパーの一実施例を示す回路図である。

【図 1 3】

図 5 の半導体集積回路装置に設けられるバックバイアススイッチの一実施例を示す回路図である。

【図 1 4】

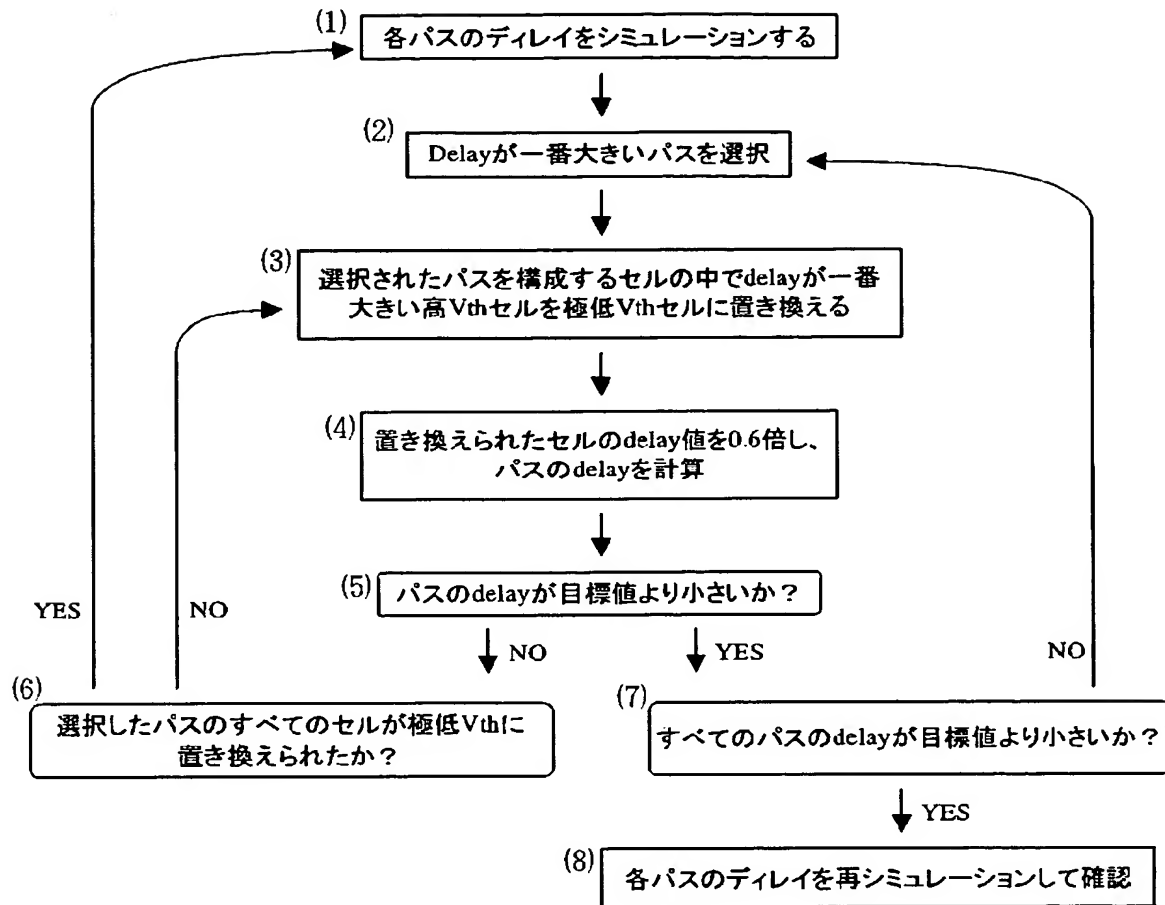
図 5 のデジタル論理回路に含まれるトライステートバッファの一実施例を示す回路図である。

【符号の説明】

(1) ～ (8) 設計ステップ、FF 1, FF 2 … フリップフロップ回路、a ～ f … 入力信号、x … 出力信号、Q 1 ～ Q 5 9 … MOSFET。

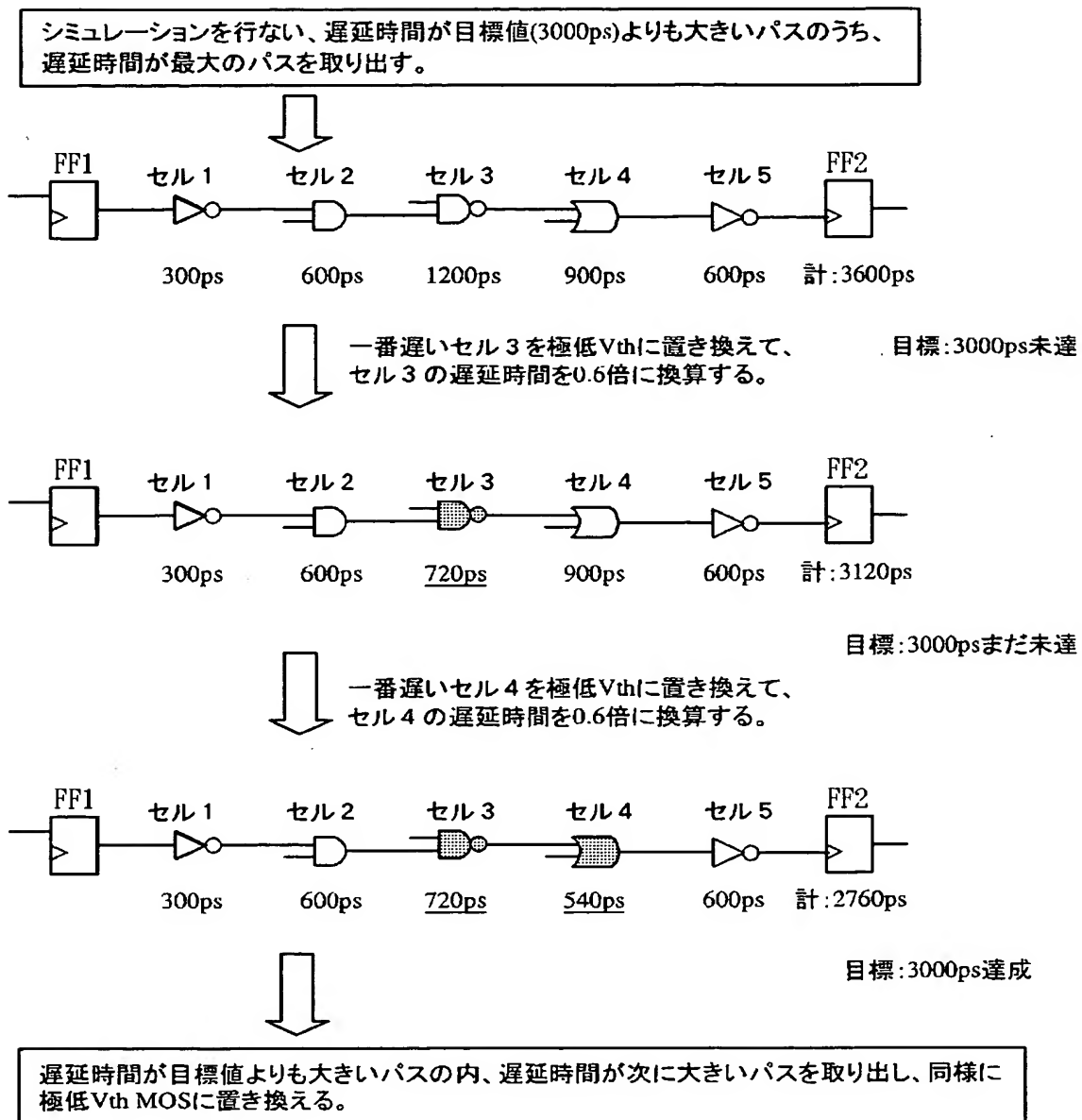
【書類名】 図面

【図 1】

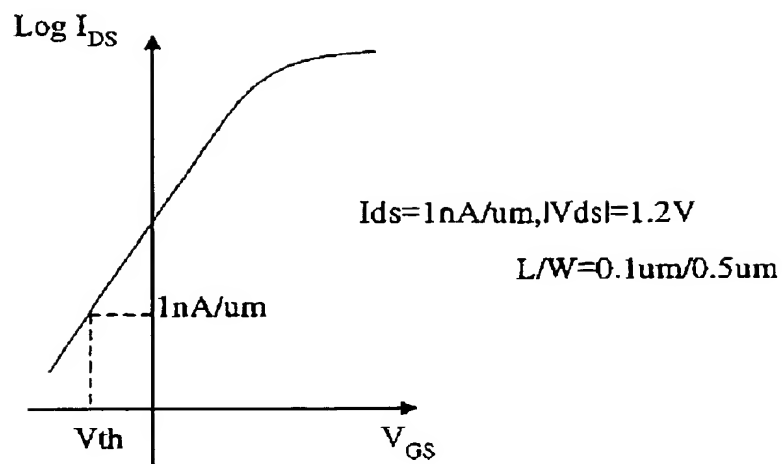




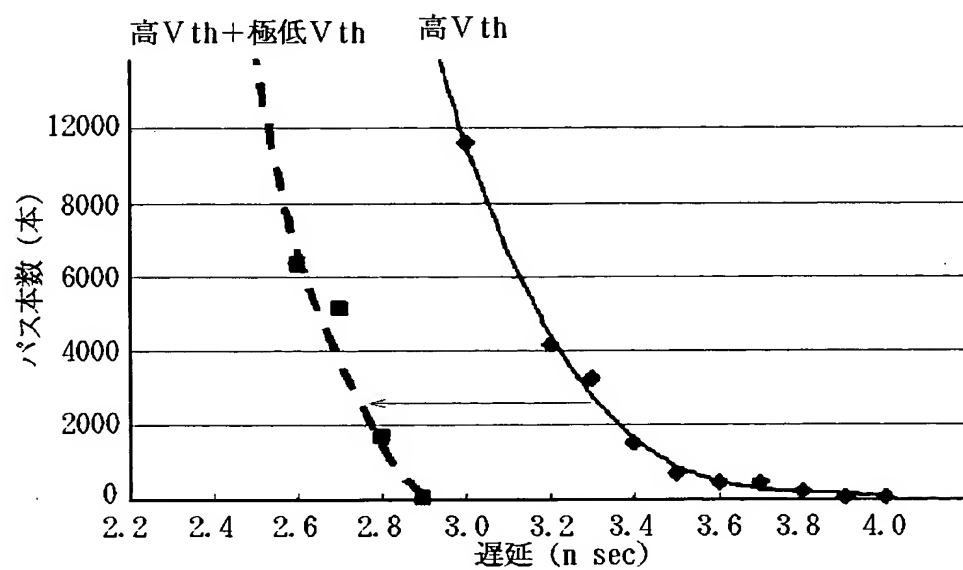
【図 2】



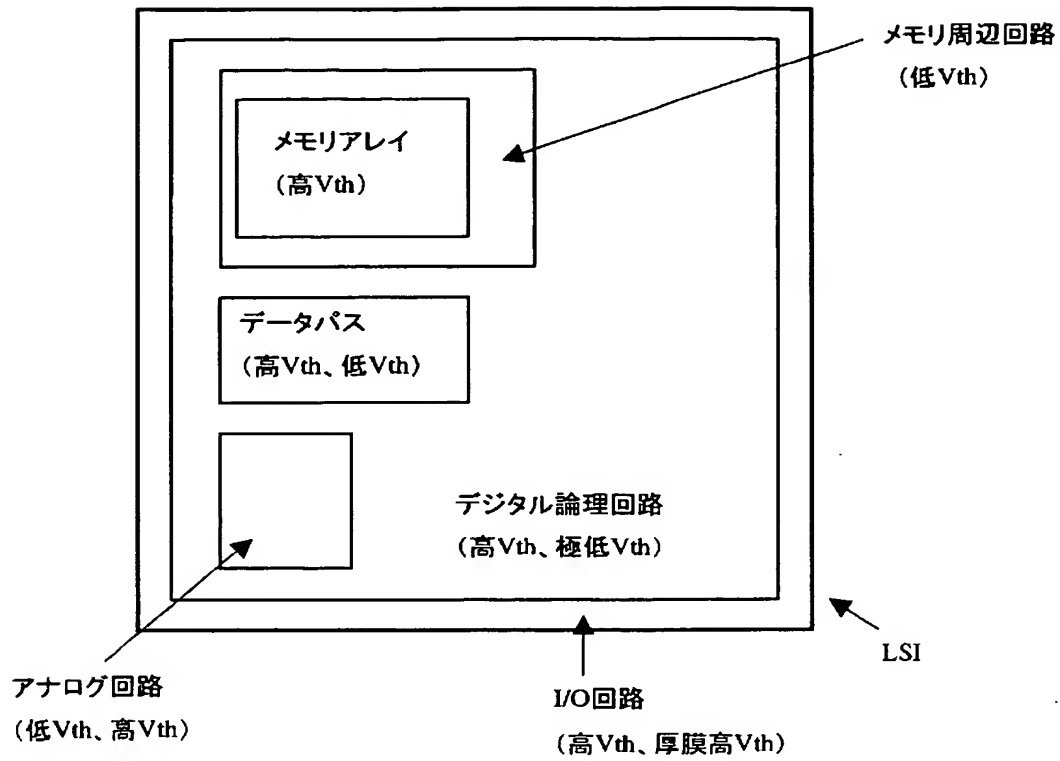
【図 3】



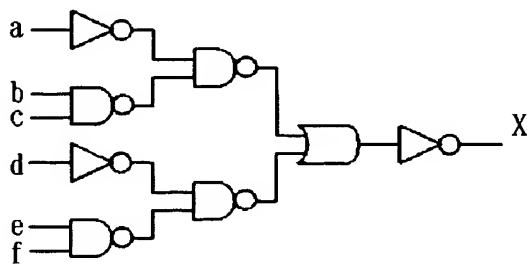
【図 4】



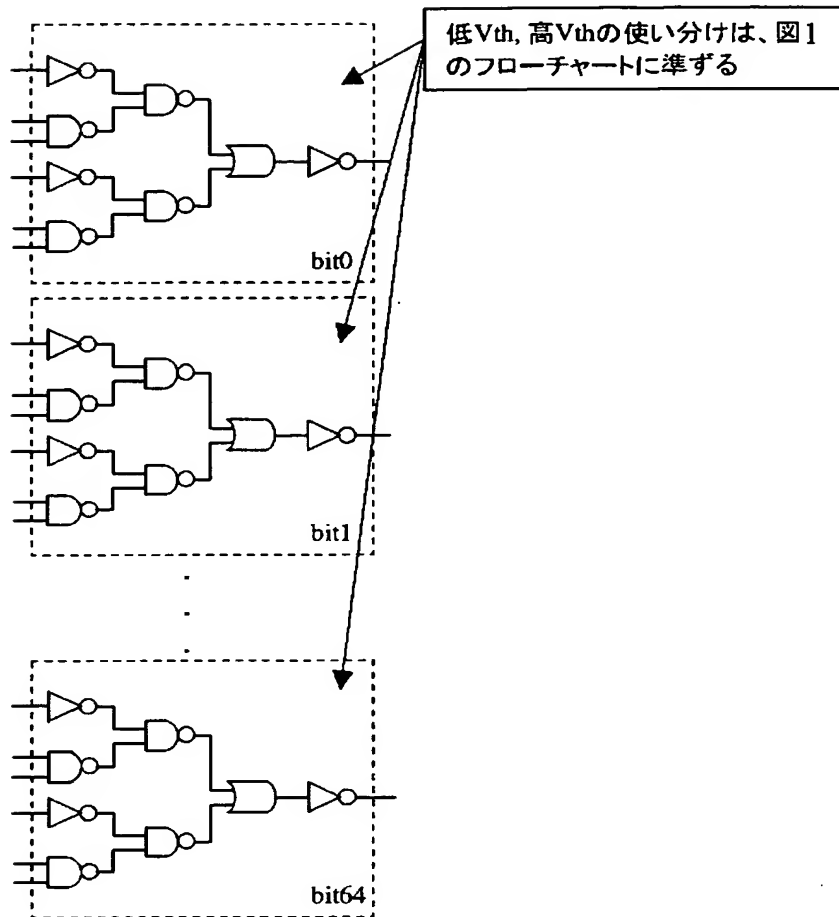
【図 5】



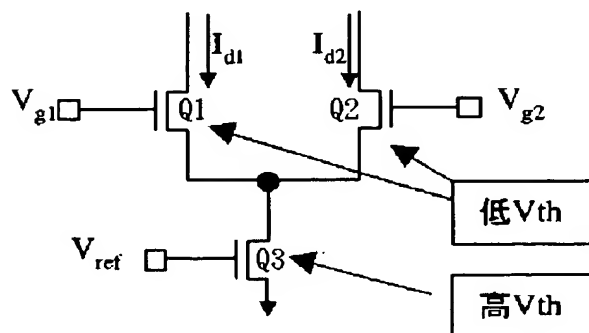
【図 6】



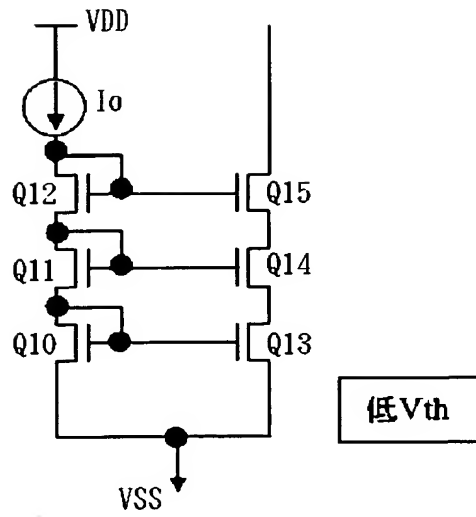
【図 7】



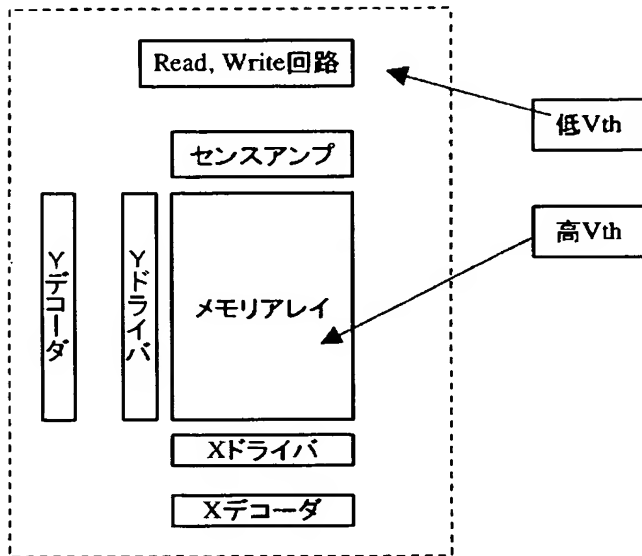
【図 8】



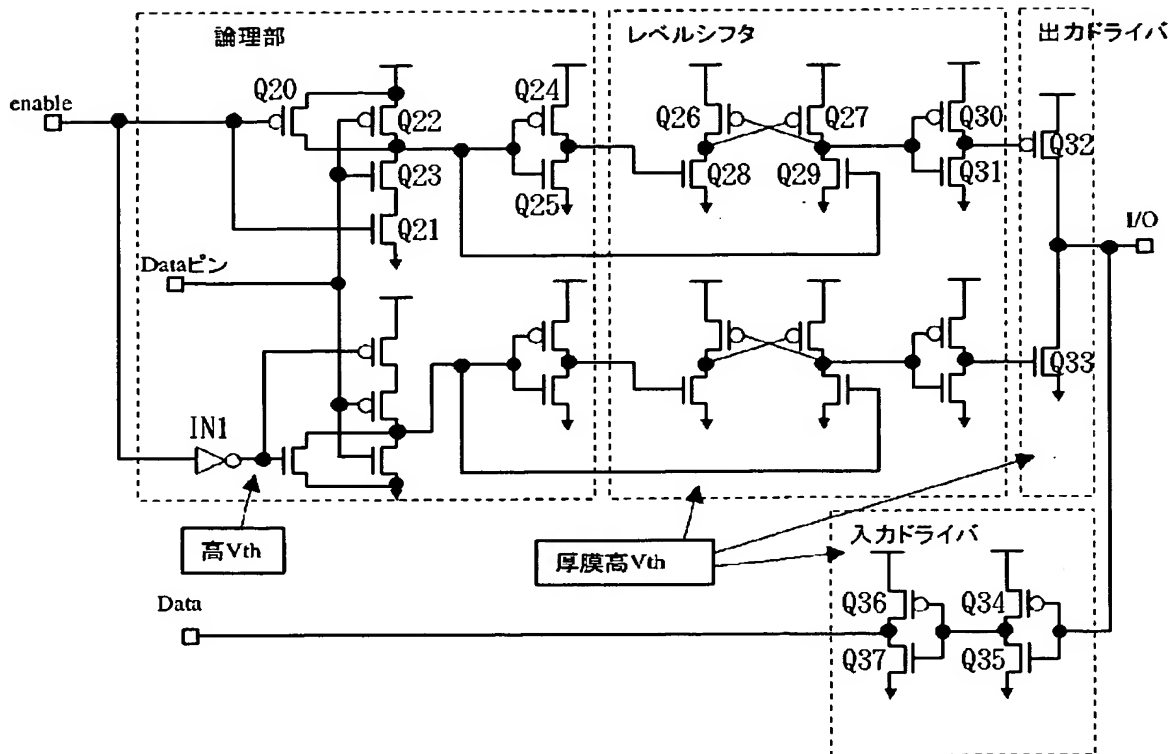
【図 9】



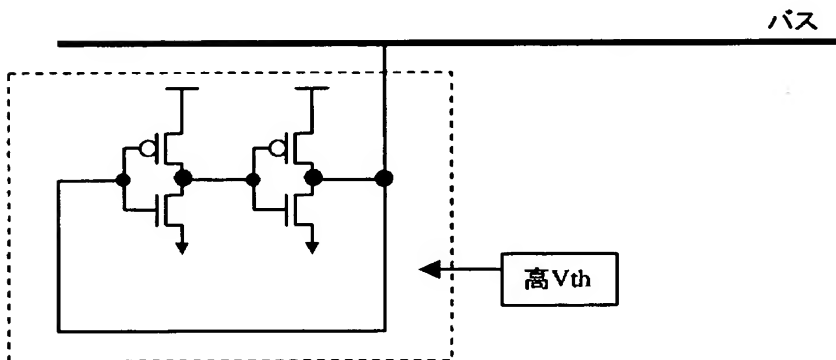
【図 10】



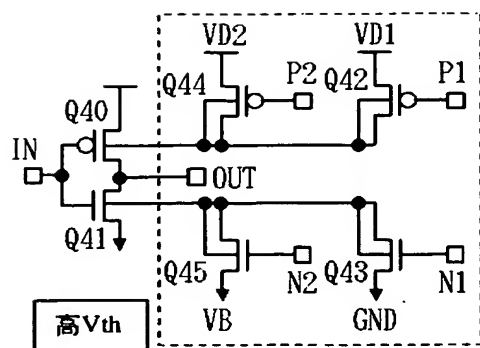
【図 11】



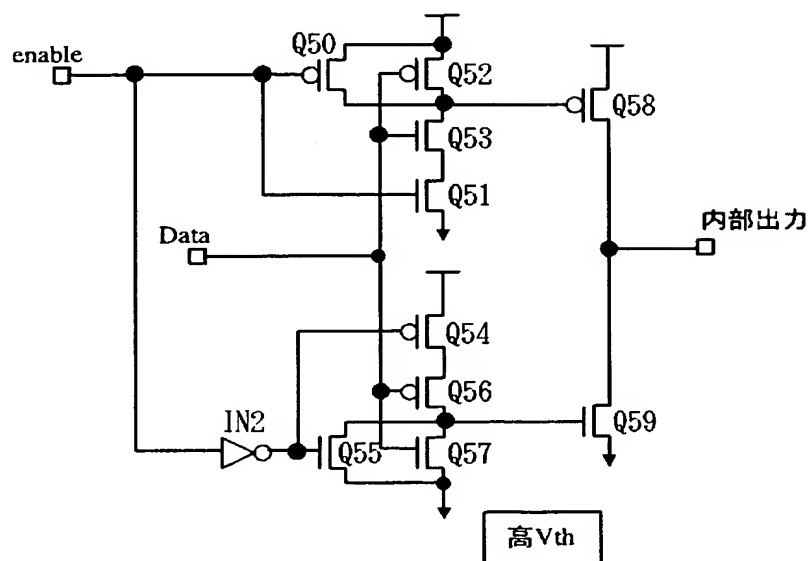
【図 12】



【图 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 高集積化及び高速化を可能とした半導体集積回路装置及び既存のCMOS回路を含んでその高速化が簡単にできるCMOS回路の高速化方法を提供する。

【解決手段】 クロック信号により信号の取り込みと保持を行なう一対のフリップフロップ回路の間に設けられたCMOS構成の複数個の論理ゲート回路からなる信号伝達経路として、エンハンスメント型MOSFETで構成されて、その信号伝達遅延時間が許容される信号伝達遅延時間以下とされる第1信号伝達経路と、複数個の論理ゲート回路のうちエンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものが、ディプレッション型MOSFETに置き換えられることによってその信号伝達遅延時間が上記許容される信号伝達遅延時間以下とされる第2信号伝達経路とを用いる。

【選択図】 図1



特願 2 0 0 3 - 0 9 0 2 1 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所